

(51)Int.Cl.

H01L 21/20 H01L 21/205 H01L 29/80 H01S 3/18

(21)Application number : 59-263364

(71)Applicant : SEIKO EPSON CORP

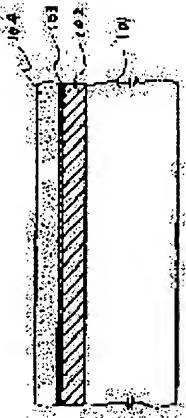
(22)Date of filing : 13.12.1984

(72)Inventor : OSHIMA HIROYUKI

IWANO HIDEAKI

KOMATSU HIROSHI

TSUNEKAWA YOSHIFUMI



RFST AVAILABLE COPY

(54) SEMICONDUCTOR SUBSTRATE**(57)Abstract:**

PURPOSE: To contrive the improvement in crystallizability of a Ge thin film by alleviating the mismatching of the lattice by changing a composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$, which is arranged between an Si substrate and a Ge thin film as a buffer layer, from $x=0$ to $x=1$ continuously and monotonously from the Si substrate side toward the Ge thin film.

CONSTITUTION: On an Si substrate 101, an $\text{Si}_{1+x}\text{Ge}_x$ thin film 102 which is to be a buffer layer is formed and a Ge thin film 103 and a GaAs thin film 104 are formed on that. A composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$ thin film is $x=0$, i.e., the composition of Si in the position where it contacts with the underlying Si substrate 101, and $x=1$, i.e., the composition of Ge in the position where it contacts with the Ge thin film 103 above. Between them, a value of x changes continuously and monotonously from 0 to 1 and the mismatching between Si and Ge is alleviated. The $\text{Si}_{1-x}\text{Ge}_x$ thin film can be formed by a reduced CVD method using monosilane gas and german gas. As the composition ratio x is controlled by a flow ratio of the gas, it can be changed as it is desired by changing a gas flow ratio continuously and monotonously.

BEST AVAILABLE COPY

Patent Number: JP61141116
Publication date: 1986-06-28
Inventor(s): OSHIMA HIROYUKI; others: 03
Applicant(s): SEIKO EPSON CORP
Requested Patent: JP61141116
Application Number: JP19840263364 19841213
Priority Number(s):
IPC Classification: H01L21/20; H01L21/205; H01L29/80; H01S3/18
EC Classification:
EC Classification:
Equivalents:

SEMICONDUCTOR SUBSTRATE

Patent Number: JP61141116

Publication date: 1986-06-28

Inventor(s): OSHIMA HIROYUKI; others: 03

Applicant(s): SEIKO EPSON CORP

Requested Patent: JP61141116

Application Number: JP19840263364 19841213

Priority Number(s):

IPC Classification: H01L21/20; H01L21/205; H01L29/80; H01S3/18

EC Classification:

Equivalents:

Abstract

PURPOSE: To contrive the improvement in crystallizability of a Ge thin film by alleviating the mismatching of the lattice by changing a composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$, which is arranged between an Si substrate and a Ge thin film as a buffer layer, from $x=0$ to $x=1$ continuously and monotonously from the Si substrate side toward the Ge thin film.

CONSTITUTION: On an Si substrate 101, an $\text{Si}_{1+x}\text{Ge}_x$ thin film 102 which is to be a buffer layer is formed and a Ge thin film 103 and a GaAs thin film 104 are formed on that. A composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$ thin film is $x=0$, i.e., the composition of Si in the position where it contacts with the underlying Si substrate 101, and $x=1$, i.e., the composition of Ge in the position where it contacts with the Ge thin film 103 above. Between them, a value of x changes continuously and monotonously from 0 to 1 and the mismatching between Si and Ge is alleviated. The $\text{Si}_{1-x}\text{Ge}_x$ thin film can be formed by a reduced CVD method using monosilane gas and german gas. As the composition ratio x is controlled by a flow ratio of the gas, it can be changed as it is desired by changing a gas flow ratio continuously and monotonously.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭61-141116

⑬ Int. Cl. *

H 01 L 21/20
21/205
29/80
H 01 S 3/18

識別記号

府内整理番号

⑭ 公開 昭和61年(1986)6月28日

7739-5F
7739-5F
7925-5F
7377-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体基板

⑯ 特 願 昭59-263364

⑰ 出 願 昭59(1984)12月13日

⑮ 発明者	大島 弘之	諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑮ 発明者	岩野 英明	諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑮ 発明者	小松 博志	諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑮ 発明者	恒川 吉文	諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑮ 出願人	セイコーエプソン株式会社	東京都新宿区西新宿2丁目4番1号
⑮ 代理人	弁理士 最上 務	

明細書

1. 発明の名称

半導体基板

2. 特許請求の範囲

- (1) Si 単結晶基板上に $Si_{1-x}Ge_x$ 薄膜を有し、該 $Si_{1-x}Ge_x$ 薄膜上に IC Ge 薄膜を有し、該 Ge 薄膜上に $GaAs$ 薄膜を有することを特徴とする半導体基板。
- (2) 前記 $Si_{1-x}Ge_x$ 薄膜の組成比 x を、膜厚方向に對して、 $x = 0$ から $x = 1$ まで連続的かつ單調に変化させることを特徴とする特許請求の範囲第1項記載の半導体基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、化合物半導体デバイス用の半導体基板に関する。

(従来の技術)

近年、 $GaAs$ を始めとする化合物半導体材料を

用いたデバイスの研究が活発に行なわれている。これには、高純度で欠陥密度の小さい単結晶半導体基板が不可欠である。

従来、化合物半導体の単結晶基板としては、 $GaAs$ や InP が用いられているが、基板サイズが小さい上に高価であるという難点を抱えているため、 Si 単結晶基板上に $GaAs$ の単結晶薄膜をエピタキシャル成長させ、これを化合物半導体デバイス用の単結晶基板として用いようとする試みが行なわれている(例えば、*Extended Abstracts of the 16th (1984 International) Conference on Solid State Devices and Materials*, p. 115, 1984)

第2図は、この従来の半導体基板の構成を示す断面図である。 Si 単結晶基板 201 上に Ge 薄膜 202 が形成され、さらに該 Ge 薄膜上に $GaAs$ 薄膜が形成されている。

(発明が解決しようとする問題点)

しかし、このように構成された従来の半導体基板は次のような欠点を有している。すなわち、以下の表1に示すように、 Ge と $GaAs$ の格子定数及び

線膨張係数は非常に良く一致し、簡めて良好な結晶成長が可能であるが、BiとGeは格子定数が約4%，線膨張係数が約1.8倍、それそれ異なるため、Bi上のGe薄膜のエピタキシャル成長は簡めて困難である。このため、Bi上のGe中には多くの転位が存在し、界面単位密度も高い。これらは

	Bi	Ge	GeAs
格子定数 (Å)	5.43	5.657	5.653
線膨張係数 ($\times 10^{-5} / \text{deg}$)	3.7	6.7	6.7

表 1

Ge上に形成されるGeAs薄膜の結晶性にも悪影響を与える。欠陥密度の低い良質なGeAs薄膜を実現することが困難であった。

本発明はこのような従来の問題点を解決するものであり、その目的とするところはBi基板上に結晶性の良好なGeAs薄膜を有する半導体基板を提供することにある。

〔問題点を解決するための手段〕

本発明は前記Bi基板と前記Ge薄膜の間に、

る。また $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜の組成比 x は、下の Bi 基板 101 と接する位置では $x = 0$ 、すなわち Bi の組成となっており、上の Ge 薄膜 103 と接する位置では $x = 1$ 、すなわち Ge の組成となっている。その間では、 x の値は 0 から 1 まで連続的かつ単調に変化し、Bi と Ge 間に不整合を緩和している。上述の $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜は、例えばモノシリコン(BiH₄)ガスとグルマン(GeH₄)ガスを用いて減圧CVD(化学気相成長)法により形成することができる。組成比 x はそれぞれのガスの流量比により制御されガス流量比を連続的かつ単調に変化させることにより組成比 x を所望通りに変えることができる。

図 3 図は、本発明による半導体基板における格子定数の深さ分布を模式的に示すグラフである。縦軸は格子定数であり、横軸は深さ方向の位置を表している。点 A は Bi 基板と $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜との界面を、点 B は $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜と Ge 薄膜との界面を、点 C は Ge 薄膜と GeAs 薄膜との界面をそれぞれ示している。図より明らかのように、Bi 基板の格子定数と Ge 薄膜の格子定数の差を、バ

$\text{Bi}_{1-x}\text{Ge}_x$ 薄膜をバッファ層として設けたことを特徴とする。また、該 $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜の組成比 x を Bi 基板側から Ge 薄膜側に向けて、 $x = 0$ から $x = 1$ まで連続的かつ単調に変化させたことを特徴とする。

〔作用〕

本発明の上記の構成によれば、格子不整合の大きい Bi 基板と Ge 薄膜の間に、両者の中間的な性質を有する $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜を設けるため、格子不整合が緩和される。また、組成比 x を連続的に変化させることにより、Bi の組成から Ge の組成に至るまで $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜の組成がなめらかに変化し、より一層、格子不整合を緩和することができる。このため、Bi 上に形成された Ge 薄膜の結晶性を著しく改善することができる。

〔実施例〕

図 1 図は、本発明の実施例における半導体基板の断面図である。Bi 基板 101 上に、バッファ層となる $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜 102 が形成されており、その上に Ge 薄膜 103 と GeAs 薄膜 104 が形成されてい

フ。バッファ層の $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜が徐々に緩和している。従来は、バッファ層となる $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜が存在しなかつたために、点 A と点 B が一致しており、格子定数が不連続に変化し、Ge 薄膜と GeAs 薄膜の結晶性に悪影響を及ぼしていた。

〔発明の効果〕

本発明は以下に述べるような効果を有している。図 1 に、Bi 基板上に結晶性の優れた GeAs 薄膜を形成することができる。これは、前述の如く、バッファ層として $\text{Bi}_{1-x}\text{Ge}_x$ 薄膜を設けたことによる。これにより Bi 基板上の Ge 薄膜の結晶性が改善され、この結果、欠陥密度の小さい良好な GeAs 薄膜を形成することができる。

図 2 に、上記に伴って、Bi 基板上に GeAs を用いた化合物半導体デバイスを形成することができる。このようなデバイスとしては、半導体レーザなどの発光デバイスや、トランジスタなどの高速デバイスが挙げられる。発光デバイスでは、GeAs 薄膜中の結晶欠陥は非発光再結合中心となるため効率の低減(出力の減少)やしきい値電流の増大

などの悪影響を及ぼす。高速デバイスでは、GaAs薄膜中の結晶欠陥はキャリアの散乱源となるため移動度の減少(動作速度の低下)などの悪影響を及ぼす。本発明によれば、結晶欠陥の少ないGaAs薄膜を実現できるため、Si基板上に高性能な化合物半導体デバイスを実現することができる。

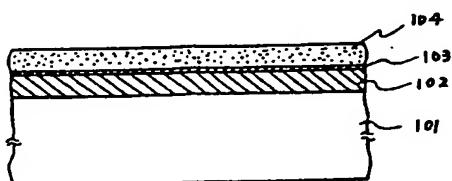
第3回、安価で大面積の半導体基板を提供することができる。Si基板は、大量の需要を背景として、直径5インチという大面積基板が採めて安価に供給されている。しかも公害や資源枯渇の心配がない。このように思われたSi基板上にGaAs薄膜が形成でき、化合物半導体デバイスを実現できることは初めて大きな長所である。

以上述べたように、本発明は数多くの優れた効果を有するものである。

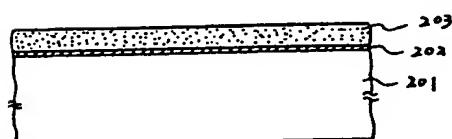
4. 図面の簡単な説明

第1回は本発明による半導体基板の構造を示す断面図である。

第2回は従来の半導体基板の構造を示す断面図



第1回



第2回

である。

第3回は本発明の半導体基板における格子定数の深さ方向変化を示すグラフである。

101, 201 …… Si 単結晶基板

102 …… $Si_{1-x}Ge_x$ 薄膜

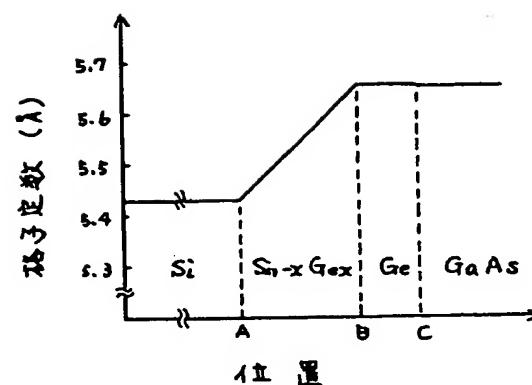
103, 202 …… Ge 薄膜

104, 203 …… GaAs 薄膜

以上

出願人 株式会社 那賀精工舎

代理人弁理士 最上



第3回